

一种基于电压窗口技术的超低功耗 SAR ADC

汪正锋, 宁 宁, 吴霜毅, 杜 翎, 蒋 旻, 闫小艳, 王 伟

(电子科技大学电子薄膜与集成器件国家重点实验室, 四川成都 610054)

摘 要: 本文提出了一种应用于生物医学的超低功耗逐次逼近型模数转换器(SAR ADC). 针对 SAR ADC 主要模块进行超低功耗设计. 数模转换(DAC)电路采用 vcm-based 以及分段电容阵列结构来减小其总电容, 从而降低了 DAC 功耗. 同时提出了电压窗口的方法在不降低比较器精度的情况下减小其功耗. 此外, 采用堆栈以及多阈值晶体管结构来减小低频下的漏电流. 在 55nm 工艺下进行设计和仿真, 在 0.6V 电源电压以及 10kS/s 的采样频率下, ADC 的信噪失真比(SNDR)为 73.3dB, 总功耗为 432nW, 品质因数(FOM)为 11.4fJ/Conv.

关键词: 模数转换器(ADC); 逐次逼近寄存器(SAR); 电压窗口; 超低功耗

中图分类号: TN402 **文献标识码:** A **文章编号:** 0372-2112 (2016)01-0211-05

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2016.01.031

An Ultra-Low Power SAR ADC with Voltage Window Technique

WANG Zheng-feng, NING Ning, WU Shuang-yi, DU Ling, JIANG Min, YAN Xiao-yan, WANG Wei

(State Key Lab of Electronic Thin Film and Integrated Devices, University of Electronic Science and Technology of China, Chengdu, Sichuan 610054, China)

Abstract: An ultra-low power successive approximation register analog-to-digital converter for biomedical application is proposed. Many ultra-low power design methods are utilized for its main modules. The digital-to-analog converter (DAC) employs a vcm-based and split capacitor array structure to cut down the total capacitance, so as the power consumption. Voltage window technique is used to decrease the power consumption of the comparator without sacrificing its accuracy. Furthermore, stack forcing and multi-Vt design approaches are used to reduce the leakage current under low frequency. The proposed SAR ADC is designed and simulated in 55nm process. With 0.6V power supply and 10kS/s sampling rate, the ADC achieves a signal-to-noise-and-distortion-ratio (SNDR) of 73.3dB. The total power consumption is 432nW and the figure-of-merit (FOM) is 11.4fJ/Conv.

Key words: analog-to-digital converter (ADC); successive approximation register (SAR); voltage window; ultra-low power

1 引言

近年来,随着生物医学和生命科学的发展,可穿戴以及便携式医疗电子设备受到越来越多的关注. 这些设备通常由电池来供电,而电池所存储的能量是有限的. 为了提高设备的工作年限,这就要求设备具有较低的功耗^[1,2]. 模数转换器(ADC)是现实世界中模拟信号通向数字信号的桥梁,一些生物医学信号诸如心电图(ECG)、脑电图(EEG)、肌电图(EMG)需要通过一个中等分辨率(8~12 bits)和采样率(1~1000 kHz)的 ADC 来数字化^[3,4]. 因此低压低功耗 ADC 成为设计的关键.

在所有的 ADC 结构中,逐次逼近型(SAR)ADC 因为其在能量效率、转换精度以及设计复杂度之间的良

好折中而使其非常适合于低压低功耗应用. 一般来说, SAR ADC 的功耗包括三部分:比较器功耗,数模转换(DAC)电容阵列功耗和 SAR 控制逻辑功耗. 分辨率在 10bits 或者以下的 SAR ADC 通常采用一个可再生锁存器作为比较器. 然而,由于锁存器具有较大的噪声,因此并不适合更高分辨率的 SAR ADC,如 12bits 或更高. 为了提高比较器的分辨率,通常在锁存器之前级联一级或者多级前置放大器^[5],这种方法的代价是大大增加了比较器的功耗.

为了解决比较器分辨率与功耗之间的矛盾,本文提出了一种电压窗口的方法:通过比较锁存器输入信号与预设窗口电压的大小来决定是否使用前置放大器. 若输入信号落在电压窗口之内,则唤醒锁存器之前

的前置放大器来进行二次比较. 对于分辨率在 12 ~ 14bits 的 ADC, 采用本文所述电压窗口的方法, 较之传统 SAR ADC, 其比较器的功耗将会大大减小, 因此, ADC 的总功耗也会降低.

2 提出的 SAR ADC 结构

如图 1 所示, 本文所提出的 SAR ADC 包括全差分 DAC 电容阵列, 可再生锁存器, 前置放大器, 检测器, SAR 以及控制逻辑电路. DAC 电容阵列同时充当采样电容的作用. 一般来说, 采样方法分为上极板采样和下极板采样. 上极板采样的优点是只需要一个采样开关, 缺点是该采样开关需要较大的尺寸且无法避免开关断开时产生的电荷注入效应以及采样开关以及采样电容上极板寄生电容所带来的非线性的影响. 下极板采样虽然需要多个采样开关, 但是却很好的避免了上述问题, 因此本文采用下极板采样的方法.

对于传统二进制电荷分配型 SAR ADC 而言, DAC 总电容大小随着分辨率的提高呈指数型增长. 如一个分辨率为 12bits 的 SAR ADC, 其总电容将会达到 $8192C$ (C 为单位电容), 这会使得 DAC 消耗大量功耗, 不利于低功耗设计, 同时也给 ADC 驱动电路的设计带来巨大的挑战. 因此本文采用 vcm-based 结构以及分段电容阵

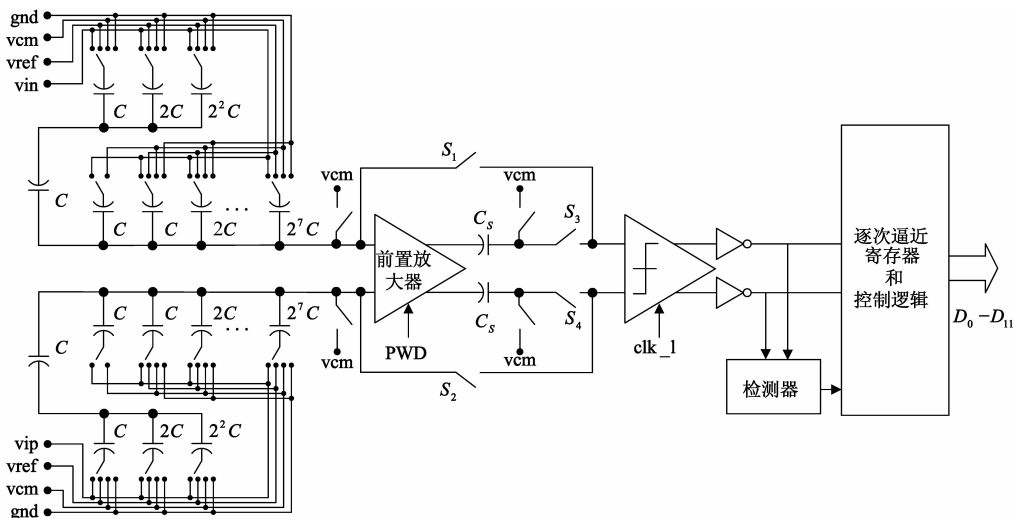


图1 本文提出的低压低功耗SAR ADC结构图

预设电压窗口越小, 在逐次逼近的过程中, DAC 输出电压落在电压窗口的次数也就越少, 使用前置放大器的次数也就越少. 然而, 这要求锁存器具有更小的噪声. 为了在 ADC 性能, 功耗以及锁存器噪声之间进行折中, 在本文中, 窗口电压预设为 3LSB ($1\text{LSB} = V_{\text{ref}}/2^{11}$). 通过 matlab 仿真表明, 当锁存器噪声小于 1.3LSB 时, ADC 的有效位数 (ENOB) 超过 11.6bits. 而在每一个转换周期内, 前置放大器的工作次数只有无电压窗口时的三分之一.

列 ($8\text{bits} + 3\text{bits}$) 的方法来减小 DAC 总电容, 如图 1 所示, 其总电容大小约为 $514C$, 这样 DAC 电容阵列的功耗将会大大减小.

图 1 中检测器的作用是设定电压窗口的大小以及判断 DAC 的输出电压 (也就是比较器的输入电压) 是否落在预设电压窗口之内. 在每一位转换开始时, 开关 S_1 、 S_2 导通, S_3 、 S_4 断开, 前置放大器处于关断状态, DAC 输出电压直接传输到锁存器输入端, 经过锁存器比较后通过检测器来判断其大小. 若判断结果表明 DAC 输出电压落在预设电压窗口之外, 那么该次的比较结果即为该位转换的最终结果, SAR 控制逻辑电路将按照传统的二进制搜索算法工作; 若判断结果表明 DAC 输出电压落在预设电压窗口之内, 由于噪声的影响, 该次比较的结果是不可信的, 因此必须要用更高精度的比较器进行比较. 此时开关 S_1 、 S_2 断开, S_3 、 S_4 导通, 并且前置放大器开始工作, 这样前置放大器级联锁存器组成一个高精度比较器, 然后控制逻辑电路产生脉冲信号使得比较器进行二次比较, 二次比较的结果即为该位转换的最终结果. 尽管在此过程中, 锁存器工作了两次, 然而其仅仅产生动态功耗, 而几乎没有静态功耗. 仿真结果表明, 锁存器的功耗仅仅只有前置放大器功耗的二十分之一.

3 电路设计

3.1 数字逻辑门设计

在 SAR ADC 中, 数字电路的功耗占总功耗的很大比例. 因此有必要降低数字电路功耗. 数字电路的功耗包括两部分: (1) 动态功耗; (2) 静态功耗. 动态功耗来源于对寄生电容的充放电以及短路功耗^[6]. 静态功耗为输入稳定时消耗的功耗. 晶体管的漏电流功耗是静态功耗的主要来源^[7-9]. 研究表明, 对于 65nm 或以下

工艺,晶体管的漏电流功耗同样会导致动态功耗的增加^[8].为了降低漏电流功耗,本文采用了堆栈晶体管以及多阈值电压晶体管的方法.图 2(a)为采用堆栈晶体管结构的反相器.对于 NMOS 而言,由于其衬底-源电压为负,衬偏效应得到了加强,导致阈值电压增大,从而减小了漏电流.此外,由于漏-源电压的降低,漏诱导势垒降低(DIBL)效应降低,同样减小了漏电流^[7].

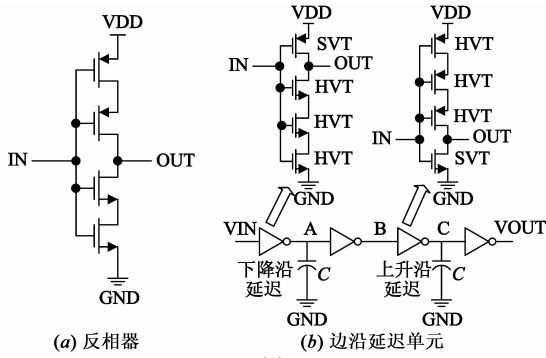


图2

由于采样速率较低,同时受限于前置放大器的带宽,在产生比较器二次比较信号的电路中使用了一些长的延迟单元(延迟时间可能达到 $1\mu\text{s}$)。传统方法是采用若干反相器串联并负载电容.然而,仿真表明,要产生如此长时间的延迟需要大量的反相器以及电容,这会造成延迟单元产生大量的功耗.因此本文在反相器中使用了高阈值(HVT)晶体管和标准阈值(SVT)晶体管结合的方式,来减小反相器以及电容的数量.同时采用边沿延迟的方法来防止信号在延迟的过程中“消失”,如图 2(b)所示.图 3 给出了一个占空比较小的脉冲信号经过边沿延迟单元时的输出波形图.信号首先经过下降沿延迟反相器以及一个普通反相器拓展其脉宽,再经过上升沿延迟反相器进行长时间的延迟,最后通过普通反相器整形输出.

3.2 比较器

本文所设计的 SAR ADC 中可以看作存在两个比较器:一个精度较低的粗比较器,一个精度较高的精比较器.粗比较器为一个动态可再生锁存器,精比较器为该锁存器级联一个前置放大器组成.由于采用了两个不同的比较器,两者不同的失调电压会对 ADC 的性能产生严重影响,因此必须进行失调校正.图 4 为带有失调校正的前置放大器以及锁存器电路图.

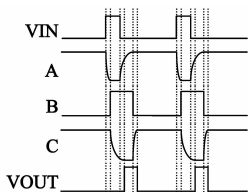
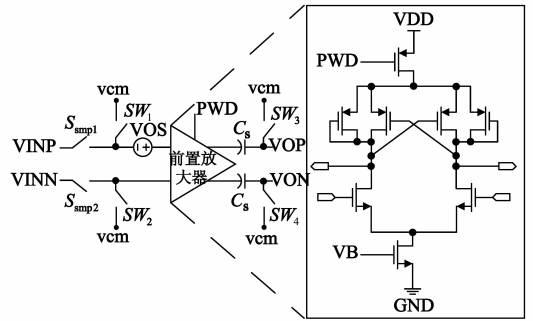
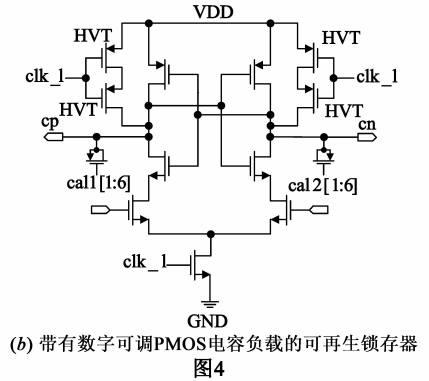


图3 边沿延迟单元工作波形图



(a) 带有输出失调存储(OOS)校正的前置放大器



(b) 带有数字可调PMOS电容负载的可再生锁存器

图4

图 4(a) 为带有输出失调存储(OOS)的前置放大器^[10,11].假设在前置放大器的正向输入端存在一个失调电压 V_{os} .在失调存储阶段,开关 $SW_{1,4}$ 断开,前置放大器处于开环放大的状态,失调电压经过放大后存储在电容 C_s 上,其幅值为 $-A_v^* V_{os}$.由于 OOS 要求前置放大器的增益 A_v 不能过大,否则会造成非线性放大,导致失调电压不能完全消除,因此本文设计 $A_v \approx 10$.前置放大器有一个使能稳定时间.由于本文所设计的 SAR ADC 速度较慢,在产生锁存器二次比较信号时,可以给前置放大器的使能稳定以及建立预留足够长的时间,以保证前置放大器建立正确.

不同于前置放大器拥有一个相对稳定的增益,动态可再生锁存器的增益是不固定的.上述前置放大器的失调校正技术并不能应用到锁存器的失调校正上面^[12].图 4(b)给出了一种采用数字可调 PMOS 电容作为负载来进行失调校正的锁存器^[13].

同样的,锁存器也采用了 HVT 与 SVT 晶体管相结合的方法来降低功耗.SVT 晶体管用于差分输入以及交叉耦合的反相器来提高比较速度.HVT 晶体管应用于复位晶体管来减小充电电流以及漏电流.

3.3 检测器

检测器用来设定电压窗口的大小,并且通过检测锁存器的比较时间来判断锁存器输入信号是否落在电压窗口之内.如下给出锁存器的比较时间^[14] T_{comp} :

$$T_{comp} = \frac{C_o}{g_m} \ln \left(\frac{\Delta V_{out}}{\Delta V_{in}} \right) \quad (1)$$

其中 C_o 和 g_m 为输出节点负载电容和锁存器的跨导. ΔV_{in} 和 ΔV_{out} 分别为锁存器输入信号和输出信号幅值. 式(1)表明, ΔV_{in} 越小, 比较时间越长, 如图 5 所示.

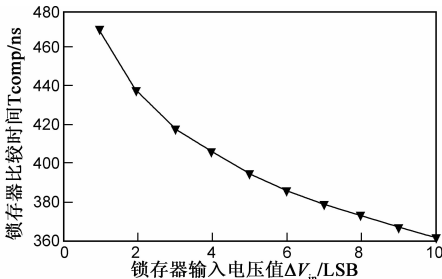


图5 锁存器比较时间与输入信号的关系

图 6 为所设计的检测器. 包括或门, 数字可调延迟单元以及两个 D 触发器. 其工作时序如图 7 所示. 在复位阶段, DFF1 复位, DFF2 置位并且时钟 clk_1 置低, 此时可再生锁存器的输出节点 cp 和 cn 预充电到电源电压. 或门的输入电压都为低, 输出也为低. 在 clk_1 由低变高之后, 比较开始, 节点 cp 和 cn 电压以不同的速率下降. 当比较结束时, 其中一端的电压为高电平而另外一端的电压为低电平. 或门的输出由低变高, DFF1 被触发, 输出也由低变高. clk_1 的上升沿到 DFF1 输出信号的上升沿之间的间隔就是可再生锁存器的比较时间 T_{comp} . 可调延迟单元的作用是通过与时钟 clk_1 进行固定延迟 (T_d) 来设置电压窗口的大小. T_d 越大, 所设置的电压窗口也就越小. 若 DFF2 的输出为高电平, 说明输入信号落在电压窗口之外; 若 DFF2 的输出为低电平, 说明输入信号落在电压窗口之内, 需要进行二次比较. 检测器的输出信号亦是图 1 中开关 S_{14} 以及前置放大器的控制信号.

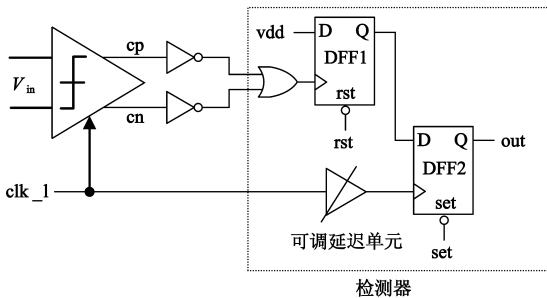


图6 检测器

比较器延时会随着工艺电压温度角的变化而改变, 然而可以通过调整检测器中可调延迟单元的延时 T_d 来抵消这种改变对系统性能的影响. 随着温度的升高, 比较器的延时会减小, 此时减小可调延迟单元的延迟时间 T_d , 从而保证电压窗口的大小仍为 3LSB.

4 仿真结果与分析

本文所设计的超低功耗 SAR ADC 在 55nm 工艺下进

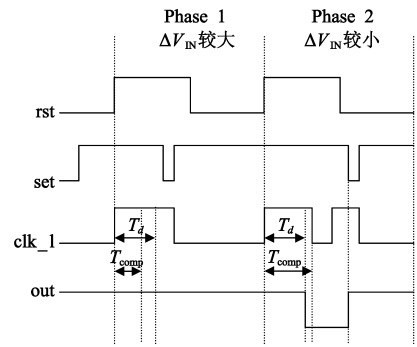


图7 检测器工作时序图

行设计和仿真. 电源电压 V_{DD} 以及参考电压 V_{ref} 均为 0.6V. 为了避免电源电压对参考电压的干扰, 两者采用两套独立电压源供电. 由于采用了分段电容阵列结构以及寄生电容的影响, DAC 存在增益误差, 因此实际信号的输入范围为满摆幅的 95%. 在仿真中, 单位电容 C 取 15fF, 总的电容大小为 7.71pF. 其 KT/C 噪声约为 0.16LSB.

图 8 为在 0.6V 电源电压下, 采样频率为 10ks/s, 输入信号频率为 3.379kHz, 幅度为 0.57V 时, 对输出结果进行快速傅立叶变换 (FFT) 得到的输出数字信号频谱. 窗口电压预设为 3LSB. 经过计算得到无杂散动态范围 (SFDR) 为 84.6dB, 信噪失真比 (SNDR) 为 73.3dB, ENOB 约为 11.89bits. 总功耗为 432nW, 品质因数 (FOM) 为 11.4fJ/Conv. 该仿真结果基于理想的电路, 考虑到元件的失配以及电路噪声, 实际可实现结果会略有下降.

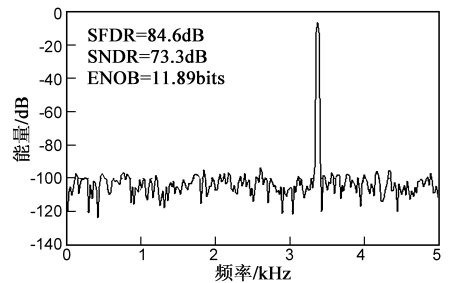


图8 ADC性能仿真结果

表 1 使用/不使用电压窗口时 ADC 性能及功耗比较

		无电压窗口	有电压窗口
SFDR		83.8dB	84.9dB
SNDR		73.8dB	73.3dB
ENOB		11.96bits	11.89bits
功耗	比较器	416nW	117nW
	总功耗	712nW	432nW
FOM		17.8fJ/Conv	11.4fJ/Conv

表 1 为使用和不使用电压窗口时 ADC 的性能以及功耗的比较. 从表中可以看出, 采用电压窗口的方法减少了 71.88% 的比较器功耗和 39.33% 的总功耗, 而几乎并没有牺牲 ADC 的性能. 表 2 为与目前已发表的相关芯片性能比较.

表 2 本文与目前已发表相关芯片性能比较

	文献[5]	文献[15]	文献[16]	本文
工艺	0.18 μm	65nm	0.18 μm	55nm
电源电压(V)	1	0.55	0.6	0.6
采样频率(kS/s)	200/100	20	100	10
ENOB(bit)	7.96/10.55	8.84	9.3	11.89
功耗(W)	19 μW /25 μW	206n	1.3 μW	432n
FOM(fJ/Conv)	381/165	22.4	21	11.4

5 结论

本文提出了一种应用于生物医学可穿戴设备的超低功耗 SAR ADC,采用分段电容阵列以及 vcm-based 结构来减小 DAC 总电容,采用电压窗口技术来减小比较器的功耗.同时利用堆栈晶体管以及多阈值晶体管结构来减小数字电路的功耗以及低频下的漏电流. ADC 采用 55 nm 工艺进行设计和仿真,在 0.6V 电源电压,10kS/s 的采样频率下,其 SNDR 为 73.3dB,总功耗为 432nW,FOM 值为 11.4fJ/Conv.电压窗口技术在几乎不影响 ADC 性能的情况下减小了的 71.88% 比较器功耗和 39.33% 的总功耗.

参考文献

- [1] 谢翔,张春,王志华.生物医学中的植入式电子系统的现状与发展[J].电子学报,2004,32(3):462-467.
Xie Xiang, Zhang Chun, Wang Zhi-hua. A review of the implantable electronic devices in biology and medicine[J]. Acta Electronica Sinica, 2004, 32(3):462-467. (in Chinese)
- [2] L S Y Wong, S Hossain. A very low-power CMOS mixed-signal IC for implantable pacemaker applications[J]. IEEE Journal of Solid-State Circuits, 2004, 39(12):2446-2456.
- [3] R P Alberto, D R Manuel. Biomedical Engineering Trends in Electronics, Communications and Software[M]. India: Intech, 2011. 171-192.
- [4] Huang G Y, et al. A 1- μW 10-bit 200-kS/s SAR ADC with a bypass window for biomedical applications[J]. IEEE Journal of Solid-State Circuits, 2012, 47(11):2783-2795.
- [5] Naveen Verma, et al. An ultra low energy 12-bit rate-resolution scalable SAR ADC for wireless sensor nodes[J]. IEEE Journal of Solid-State Circuits, 2007, 42(6):1196-1205.
- [6] 吴训威,卢仰坚.基于冗余抑制技术的低功耗组合电路设计[J].电子学报,2002,30(5):672-675.
Wu Xun-wei, Lu Yang-jian. Design of low power combinational circuits based on redundancy-restraining technique[J]. Acta Electronica Sinica, 2002, 30(5):672-675. (in Chinese)
- [7] Anup Jalan, Mamta Khosla. Analysis of leakage power reduction techniques in digital circuits[A]. Proceedings of IEEE India Conference[C]. Hyderabad: IEEE, 2011. 1-4.

- [8] Nam Sung Kim, Todd Austin. Leakage current; Moore's law meets static power[J]. IEEE Computer, 2003, 36(12):68-74.
- [9] Shin'ichiro Mutoh, et al. 1-V power supply high-speed digital circuit technology with multithresh-old-voltage CMOS[J]. IEEE Journal of Solid-State Circuits, 1995, 30(8):847-854.
- [10] B Razavi. Principles of Data Conversion System Design[M]. New York: IEEE, 1995. 198-202.
- [11] Li Yan, Yavuz Degerli, Ji Zhen. A low power column-level high speed auto-zeroed comparator for CMOS active pixel sensor based vertex detector[J]. Chinese Journal of Electronics, 2010, 19(1):53-56.
- [12] J Lu, J Holleman. A low-power high-precision comparator with time-domain bulk-tuned offset cancellation[J]. IEEE Transactions on Circuits and System I: Regular Papers, 2013, 60(5):1158-1167.
- [13] Vito Giannini, Pierluigi Nuzzo. An 820uW 9b 40MS/s noise-tolerant dynamic-SAR ADC 90nm digital CMOS[A]. Proceedings of IEEE International Solid-State Circuits Conference[C]. San Francisco, CA: IEEE, 2008. 238-239.
- [14] A Rodriguez-Vazquez, F Medeiro. CMOS Telecom Data Converters[M]. Boston, MA: Kluwer Academic, 2003. 168-170.
- [15] M Yip, A P Chandrakasan. A resolution reconfigurable 5-to-10b 0.4-to-1V power scalable SAR ADC[A]. Proceedings of IEEE International Solid-State Circuits Conference[C]. San Francisco, CA: IEEE, 2011. 190-192.
- [16] Seon-Kyoo Lee, Seung-Jin Park. A 21 fJ/Conversion-step 100 kS/s 10-bit ADC with a low noise time domain comparator for low power sensor interface[J]. IEEE Journal of Solid-State Circuits, 2011, 46(3):651-659.

作者简介



汪正锋 男,1990年06月出生,湖北黄梅人.2012年毕业于重庆邮电大学光电工程学院微电子学专业,2012年起于电子科技大学微电子与固体电子学院微电子与固体电子学专业就读研究生,主要从事数模混合集成电路设计.
E-mail: wangzhf0832@163.com



宁宁(通讯作者) 男,1981年01月出生,山西榆次人.2002年和2007年获电子科技大学微电子学与固体电子学专业学士和博士学位,毕业后留在电子科技大学微电子与固体电子学院任教,2009年至今任副教授.主要从事新型功率半导体器件与集成电路和系统、专用集成电路与系统、SOC/SIP系统芯片技术等方向的研究工作. E-mail: ning_ning@uestc.edu.cn